

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08330539
PUBLICATION DATE : 13-12-96

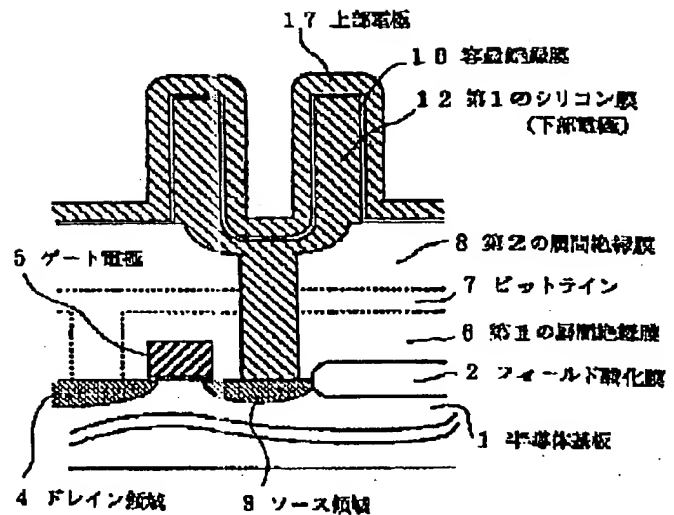
APPLICATION DATE : 31-05-95
APPLICATION NUMBER : 07156987

APPLICANT : NEC CORP;

INVENTOR : YOKOTA KAZUKI;

INT.CL. : H01L 27/108 H01L 21/8242 G03F 7/20
H01L 21/027 H01L 27/04 H01L 21/822

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To provide a means for forming a cylinder-type lower electrode with a small number of processes in the capacitor of a DRAM.

CONSTITUTION: A first interlayer insulation film 6 is formed so that it covers a MOS transistor formed on a semiconductor substrate 1. Then, a contact hole is opened on a drain region 4 of the MOS transistor, a bit line 7 is formed, and then a second interlayer insulation film 8 is formed. Then, a contact hole is opened on the drain region 4 of the MOS transistor by combining wet etching and dry etching and a silicon film 12 is formed. After that, a regularly arranged annular pattern is formed by the lithography technique using a phase-shift-type mask and the silicon film 12 is etched with the annular pattern as an etching mask as a cylinder-type lower electrode. Then, a dielectric film is formed to form an upper electrode.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330539

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		9276-4M	H 0 1 L 27/10	6 2 1 C
	21/8242		G 0 3 F 7/20	5 2 1
G 0 3 F 7/20	5 2 1		H 0 1 L 21/30	5 0 2 P
H 0 1 L 21/027				5 2 8
27/04			27/04	C

審査請求 有 請求項の数 3 F D (全 10 頁) 最終頁に続く

(21)出願番号 特願平7-156987

(22)出願日 平成7年(1995)5月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 廣田 俊幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 黒河 智美

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 善家 昌伸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士: 煤孫 耕郎

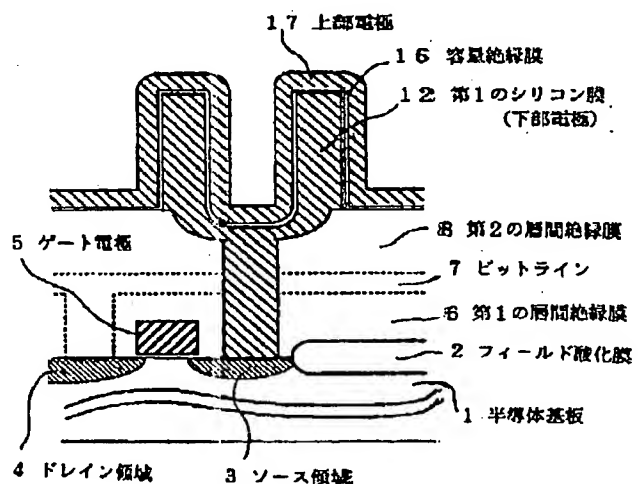
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明はDRAMのキャパシタにおいて少ない工程数でシリンダ型の下部電極を形成する手段を提供する。

【構成】 先ず、半導体基板上に形成したMOSトランジスタを覆うように第1の層間絶縁膜(6)を形成する。次に前記MOSトランジスタのドレイン領域(4)上にコンタクトホールを開孔し、ビットライン(7)を形成した後に、第2の層間絶縁膜(8)を成膜する。次に、前記MOSトランジスタのドレイン領域(4)上にコンタクトホールをウェットエッチングとドライエッチングを組み合わせで開孔し、続いてシリコン膜(12)を成膜する。その後、位相シフト型のマスクを使用したリソグラフィ技術を用いて規則的に配置された環状パターンを形成し、これをエッチングのマスクとしてシリコン膜(12)をエッチングしてシリンダ型の下部電極とする。次に誘電体膜(13)を形成し上部電極(14)を形成する。



(2)

特開平8-330539

1

【特許請求の範囲】

【請求項1】 下部電極、誘電体膜、上部電極より構成されるキャパシタを有する半導体装置の製造方法において、トランジスタ等が作り込まれている半導体基板の表面を層間絶縁膜で被覆する工程と、所望の領域にコンタクトホールを開孔する工程と、シリコン膜を成膜する工程と、位相シフト型マスクを利用して、ホトレジストからなる規則的に配置された環状パターンを形成する工程と、前記ホトレジストからなる規則的に配置された環状パターンをマスクに、前記シリコンを異方性ドライエッチングして、シリンドラ型の該下部電極を形成する工程と、該下部電極の表面を覆う該誘電体膜を形成する工程と、該誘電体膜を覆うように該上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 コンタクトホールの形成方法が、層間絶縁膜上に形成したホトレジストに、リソグラフィ技術によってホールパターンを形成した後、等方性のウェットエッチングを行ない、次に異方性のドライエッチングを行なう工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 シリンドラ型の下部電極の壁となる部分の一部を、コンタクトホール上に形成することを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にキャパシタを有する半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】 1トランジスタ、1キャパシタで一つのメモリセルを構成するDRAM (Dynamic Random Access Memory) の高集積化に伴い、半導体基板上での単位セルの占有面積は、次第に縮小され続けている。しかし、DRAMは、 α 粒子により発生する雑音電荷によるソフトエラーへの耐性を持たせる為に、ある一定値以上のキャパシタの容量を必要とするので、如何に限られた占有面積で必要な蓄積電荷容量を得るかが技術課題となっている。そこで、これまでにキャパシタの下部電極を立体構造に加工し、電極の表面積を増やす方法が提案がなされている。例えば、特開平3-214668、特開平4-99373、特開平4-264767、特開平3-232271及び特開平6-29463等には、下部電極をシリンドラ状に形成して表面積を増加させようとする提案がなされている。

【0003】 従来技術を図10～図17に示し説明する。図10～図17は、従来技術の工程要所における半導体装置の要部断面を模式的に示した図である。以下、従来の技術を図10～図17に示す工程順に説明する。図10に示すように、半導体基板(1)上にフィールド酸化膜(2)、ソース領域(3)、ドレイン領域

2

(4)、ゲート電極(5)、第1の層間絶縁膜(6)、ビットライン(7)、第2の層間絶縁膜(8)が形成されており、シリンドラ型の下部電極を形成するには、先ず層間絶縁膜のエッチング防止層として、窒化膜(10)を形成し、次にコンタクトホール(9)を所望の位置に開孔する。

【0004】 次に図10に示すように、下部電極の一部となる不純物を含む第1のシリコン膜(12)を形成し、その上に図12に示すように、下部電極形状加工用のスペーサである酸化膜(14)をCVD法により形成する。次に図13に示すように、既存のリソグラフィ技術とエッチング技術によって第1のシリコン膜(12)と酸化膜(14)を所望の形状に加工し、次に図14に示すように第2のシリコン膜(15)を100～200nm形成する。次に、エッチバックを行なって、第1のシリコン膜(12)と酸化膜(14)の周囲にサイドウォール状に第2のシリコン膜(15)を残し、図14に示すように形成する。その後、弗酸によって酸化膜(14)を選択的にエッチング除去して、図16に示すような、下部電極(12)を形成する。

【0005】 次に、図17に示すように、容量絶縁膜(16)と上部電極(プレート電極)(17)を形成し、DRAMのキャパシタとしていた。このように複雑な工程を用いる理由は、従来のリソグラフィ技術では、シリンドラ型の下部電極を形成するための微細な環状パターンが、縮小露光装置の限界解像以下の寸法であり、形成が困難であることと、環状のパターンが形成されても、そのままエッチングを行ったのでは、コンタクトプラグとの電気的接続がエッチングによって切断されてしまうためである。

【0006】

【発明が解決しようとする課題】 しかし、上記の従来技術では、下部電極を形成するために、シリコンの成膜が2回、異方性ドライエッチングが2回、ウェットエッチングが1回というように、かなり複雑な工程を用いており、工程数の増大に伴うコストの上昇という問題を抱えていた。また、エッチバック工程はエッチング残渣やパーティクルの発生を引き起こしやすく、製品の歩留りを悪化させるといった問題もあった。

【0007】

【課題を解決するための手段】 本発明は、下部電極、誘電体膜、上部電極より構成されるキャパシタを有する半導体装置の製造方法において、トランジスタ等が作り込まれている半導体基板の表面を層間絶縁膜で被覆する工程と、所望の領域にコンタクトホールを開孔する工程と、CVD法により、シリコン膜を成膜する工程と、位相シフト型マスクを利用して、ホトレジストからなる規則的に配置された環状パターンを形成する工程と、前記ホトレジストからなる規則的に配置された環状パターンをマスクに、前記シリコンを異方性ドライエッチングし

(3)

特開平8-330539

3

て、シリンダ型の該下部電極を形成する工程と、該下部電極の表面を覆う該誘電体膜を形成する工程と、該誘電体膜を覆うように該上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0008】また、本発明は、コンタクトホール形成方法が、層間絶縁膜上に形成したホトレジストに、リソグラフィー技術によってホールパターンを形成した後、等方性のウェットエッチングを行ない、次に異方性のドライエッチングを行なう工程を含むことを特徴とする上記に記載の半導体装置の製造方法である。また、本発明は、シリンダ型の下部電極の壁となる部分の一部を、コンタクトホール上に形成することを特徴とする上記に記載の半導体装置の製造方法である。

【0009】

【作用】本発明の下部電極、誘電体膜、上部電極を有する半導体装置の製造方法において、半導体基板の表面を層間絶縁膜で被覆する工程、コンタクトホールを開孔する工程、シリコン膜を成膜する工程、位相シフト型マスクを利用して環状パターンを形成する工程、異方性ドライエッチング下部電極を形成する工程、誘電体膜を形成する工程、上部電極を形成する工程とを含むことにより、シリコンの成膜が1回、異方性ドライエッチングが1回と、従来技術と比較して工程を短縮することができ、また層間絶縁膜のストッパ、スペーサの成膜も不要となるものである。さらに、このように工程が短縮されるのでエッチング残渣やパーティクルの発生を引き起こすことが少なくなるものである。

【0010】

【実施例】本発明の実施例について、以下に図面を参照して説明する。

【実施例1】本発明によりDRAMセルでシリンダ型のキャパシタを形成する場合の一実施例を64MDRAMを例に、図1～図5を参照して説明する。図1～図5は、実施例1の各工程要所における半導体装置の要部断面を模式的に示した図である。図1に示すように、先ず、LOCOS (Local Oxidation of Silicon) 等、既知の素子分離方法により半導体基板(1)上に非活性領域であるフィールド酸化膜(2)を形成し、それらにより取り囲まれる素子活性領域を形成する。

【0011】次に、素子活性領域上にゲート電極(5)、ドレイン領域(4)、ソース領域(3)等からなるMOSトランジスタを形成し、ゲート電極(5)を絶縁する為、既知のCVD法を用いて第1の層間絶縁膜(6)としてHTO (High Temperature Oxide) とBPSG (ボロ・ホスホ・シリケートガラス) を順に成膜して750℃～900℃でアニールを行い、リフローさせて平坦性を高める。次に、前記MOSトランジスタのドレイン領域(4)上にコンタクトホールを開孔し、タングステンシリサイド(WSi)等

4

の導電膜を堆積した後、既知の写真蝕刻工程によりパターンニングして、ビットライン(7)を形成する。

【0012】次に、第2の層間絶縁膜(8)としてNSG (ノンドープ・シリケートガラス) とBPSG (ボロ・ホスホ・シリケートガラス) をCVD法により成膜し、第1の層間絶縁膜(6)と同様に750℃～900℃でアニールを行い、更にCVD法を用いて、シラン(SiH₄)と酸素(O₂)を含むガス系から温度400～500℃でNSG (ノンドープ・シリケートガラス) を100nm～300nmの膜厚に成膜する。次に、ホトレジスト(11)を全面に塗布し、既知のリソグラフィー技術によって、前記MOSトランジスタのソース領域(3)上にホールパターンを形成する。次に、弗酸水溶液等によって等方性のウェットエッチングを行い、続いて異方性のドライエッチングによって、コンタクトホール(9)を開孔する(図1)。

【0013】この手法は、配線等の形成で、段差被覆性の悪いスパッタ法を用いた場合に、コンタクト底部での断線防止に用いられる手法と同様であるが、本発明では、この後説明するシリンダ形成時のエッチングマーシンを拡大する目的で行っており、これによって、環状パターンでそのままエッチングしてもコンタクトプラグとの電氣的接続がエッチングによって切断されてしまうことがない。続いて、図2に示すように、ホスフィンとシラン又はジシランからなるガス系より既知の減圧CVD法により、不純物としてリン(P)を0.5～1.0E20 atoms/ccの濃度で含む第1のシリコン膜(12)を500nmの膜厚に成膜する。

【0014】次に、ポジ型のホトレジストを全面に塗布し位相シフト型のマスクを用いてホトレジストに露光を行う。図6は、通常マスクと、位相シフトマスクの違いを模式的に示した図で、図の右側が通常マスク、左側が位相シフトマスクで、それぞれのマスクについて、マスク面の振幅分布、ホトレジスト面の振幅分布、ホトレジスト面の光強度分布を+、-で示している。図6に示すように、通常マスクが、マスク上の遮光部からは、光を完全に通過させない方式なのに対し、位相シフト型のマスクは、通常マスクで遮光部であった部分から、位相が反転した光を透過させる。

【0015】ホトレジスト上には、通常マスクで露光部に対応する部分(領域A)からの光と、通常マスクで遮光部に対応する部分(領域B)からの光が干渉し、ホトレジスト面での光強度分布は、領域Aと領域Bの境界で逆位相の光が打ち消しあい暗部を形成する。従って、領域Aを微小な矩形又は円形又は楕円形にしておけば、ホトレジスト上にはその境界にそって環状のパターンが形成される。

【0016】図7は、本実施例を説明するための位相シフトマスク(例えば、ハーフトーンマスク)によって形成されたレジスト面上での光強度分布を模式的に示した

(4)

特開平8-330539

5

図である。そして、例えば、1線（波長365nmの光源）により、 $1.3\mu\text{m} \times 0.5\mu\text{m}$ の矩形の領域Bを幅 $0.35\mu\text{m}$ の領域Aで仕切った位相シフトマスクを用いて、NA（開口数）=0.63、 $\sigma=0.3$ で露光した場合のレジスト面での光強度パターンを示したものである。露光量を適切に設定すれば、図7に実線で囲まれた部分は感光しないので、続く現像工程でこの部分はポジ型のレジストでは残ることになる。

【0017】以上のようにして、ホトレジスト（13）を露光し、既知の技術で現像した後、出来たホトレジスト（13）のパターンをエッチングのマスクとして異方性のドライエッチングを行い、図4に示すように、シリンドラ型の下部電極（12）を形成する。すなわち、ホトレジスト（13）が、図3に示すように環状パターンを形成し、ホトレジスト（13）からなる環状パターンマスクで第1のシリコン膜（12）シリコンを異方性ドライエッチングして、図4に示すようにシリンドラ型の下部電極（12）を形成するものである。

【0018】次に、希弗酸で下部電極（12）の表面に存在する自然酸化膜を除去し、自然酸化膜の再成長を防止する為にアンモニア雰囲気中で、 $850 \sim 900^\circ\text{C}$ で30～60秒間の急速熱空化を行なった後、図5に示すように、既知の減圧CVD法により空化シリコン膜を7～5nmの膜厚に成膜し、さらに $800 \sim 900^\circ\text{C}$ の水蒸気雰囲気中、10～30分間パイロジェニック酸化を行ない、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 構造の誘電体膜（容量絶縁膜（16））を形成する。続いて、上部電極（17）として既知の減圧CVD法により、シリコン膜150nmの膜厚に成膜し、その後、POC13をソースとして、 850°C で10～15分熱拡散させ、上部電極（17）に不純物を導入する。なお、本実施例では、ビットライン（7）の上にキャパシタを形成しているが、ビットライン（7）の下にキャパシタを形成しても良い。

【0019】また、本実施例では、第1のシリコン膜（12）に含まれる不純物を成膜と同時にドーピングしているが、ノンドーピングのシリコン膜で下部電極（12）を形成後（図4）に、POC13をソースとして、リン（P）を熱拡散させ、下部電極（22）に不純物を導入しても良い。また、本実施例では、上部電極（14）をノンドーピングのシリコン膜を堆積した後、POC13をソースとして、リン（P）を熱拡散させているが、下部電極と同様に、成膜と同時にリンをドーピングしても良い。

【0020】【実施例2】本発明の第2の実施例として、上記第1の実施例より、さらに集積度が進んだ256MDRAMの場合について示す。その製造は、上記第1の実施例と同様に図1～図5の各工程要所の半導体装置の要部断面に示すとおりである。また、上記第1の実

6

施例で図6に説明したような位相シフト型のマスクを用いるものである。図8は、本発明の実施例2を説明するための位相シフトマスクによって形成されたレジスト面上での光強度分布を模式的に示した図である。

【0021】この図8は、KrF（波長248nmの光源）を用いた場合のレジスト面での光強度パターンを示したものである。すなわち、さらに集積度が進んだ256MDRAMの場合、1線ではやはり解像力に限界があるので、KrF（波長248nmの光源）を用いる必要がある。例えば、KrFを用い、 $0.7\mu\text{m} \times 0.35\mu\text{m}$ の矩形の領域Bを幅 $0.25\mu\text{m}$ の領域Aで仕切った位相シフトマスクを用いて、NA（開口数）=0.60、 $\sigma=0.3$ で露光した場合のレジスト面での光強度パターンを図8に示す。これも上記第1の実施例と同様に、適切な露光量を設定することで、図8に示した、実線の部分のみをエッチングのマスクとして残すことが可能である。

【0022】【実施例3】本発明の第3の実施例を図9の示す。これは製造された半導体装置の要部断面を模式的に示した図である。図9に示すように、半導体基板（1）上に非活性領域であるフィールド酸化膜（2）、それらにより取り囲まれる素子活性領域上にゲート電極（5）、ドレイン領域（4）、ソース領域（3）が形成され、その上に第1の層間絶縁膜（6）、ビットライン（7）、第2の層間絶縁膜（8）が形成されている。次いでホトレジストを全面に塗布し、ソース領域（3）上にホールパターンを形成しエッチングを行いコンタクトホールを開孔し、第1のシリコン膜（下部電極）（12）が形成され、そして、容量絶縁膜（16）、上部電極（17）が形成されているものである。

【0023】第1の実施例では、等方性のウェットエッチングと異方性ドライエッチングを用い、シリンドラ型の下部電極と、コンタクトのプラグ部分との電気的接続が保たれるようにしているが、必ずしもシリンドラ型の下部電極の中心と、コンタクトホールの中心が一致する必要はなく、この第3の実施例の図9に示すように、シリンドラ型の下部電極（12）の壁の部分がコンタクトホールの中心にくるように予めずらして行っても良い。

【0024】

【発明の効果】以上説明したように、本発明によれば、シリンドラ型の下部電極を形成するのに従来技術と比較して、シリコンの成膜を2回から1回へと、異方性ドライエッチングを2回から1回へと、それぞれ短縮することが可能である。また層間絶縁膜のストッパ（空化シリコン膜）や、スペーサ（酸化膜）の成膜も不要となる等、工程を大幅に短縮できるという効果がある。さらに、エッチング残渣や、パーティクルの発生しやすいエッチバック工程が省けるので、製品の歩留りが向上するという効果が奏されるものである。

【図面の簡単な説明】

(5)

特開平8-330539

7

【図1】本発明の実施例1の工程要所における半導体装置の要部断面を模式的に示した図である。

【図2】本発明の実施例1の図1に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図3】本発明の実施例1の図2に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図4】本発明の実施例1の図3に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図5】本発明の実施例1の図4に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図6】通常マスクと、位相シフトマスクの違いを模式的に示した図である。

【図7】本発明の実施例1を説明するための位相シフトマスクによって形成されたレジスト面上での光強度分布を模式的に示した図である。

【図8】本発明の実施例2を説明するための位相シフトマスクによって形成されたレジスト面上での光強度分布を模式的に示した図である。

【図9】本発明の実施例3の工程要所における半導体装置の要部断面を模式的に示した図である。

【図10】従来技術の工程要所における半導体装置の要部断面を模式的に示した図である。

【図11】従来技術の図10に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図12】従来技術の図11に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図13】従来技術の図12に続く工程要所における半

8

導体装置の要部断面を模式的に示した図である。

【図14】従来技術の図13に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図15】従来技術の図14に続く工程要所における半導体装置の要部断面を模式的に示した図である。

【図16】従来技術の図15に続く工程要所における半導体装置の要部断面を模式的に示した図である。

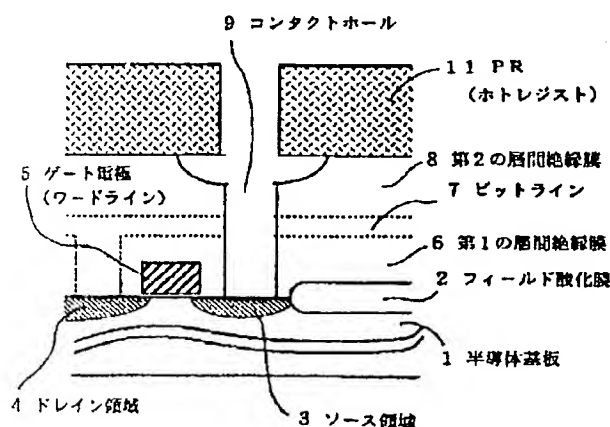
【図17】従来技術の図16に続く工程要所に於ける半導体装置の要部断面を模式的に示した図である。

【符号の説明】

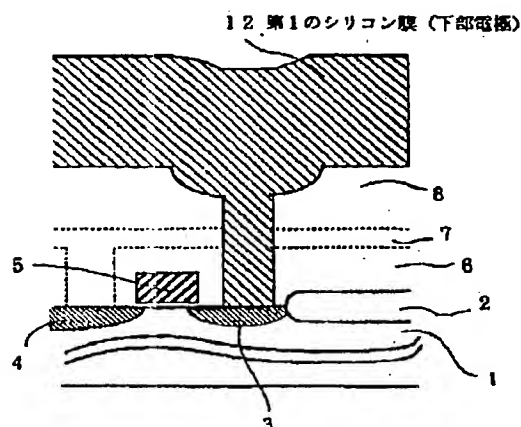
- 1：半導体基板
- 2：フィールド酸化膜
- 3：ソース領域
- 4：ド레인領域
- 5：ゲート電極
- 6：第1の層間絶縁膜
- 7：ビットライン
- 8：第2の層間絶縁膜
- 9：コンタクトホール
- 10：窒化膜
- 11：ホトレジスト（PR）
- 12：第1のシリコン膜
- 13：ホトレジスト（PR）
- 14：酸化膜
- 15：第2のシリコン膜
- 16：容量絶縁膜
- 17：上部電極

20

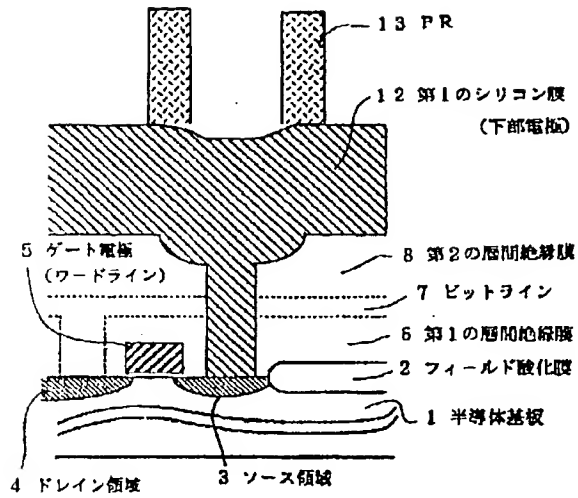
【図1】



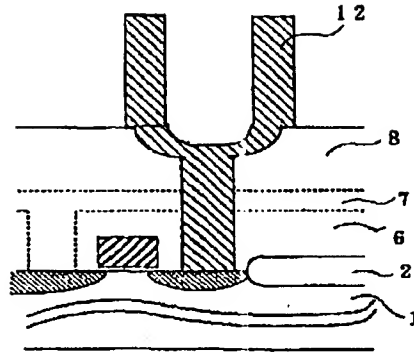
【図2】



【図3】



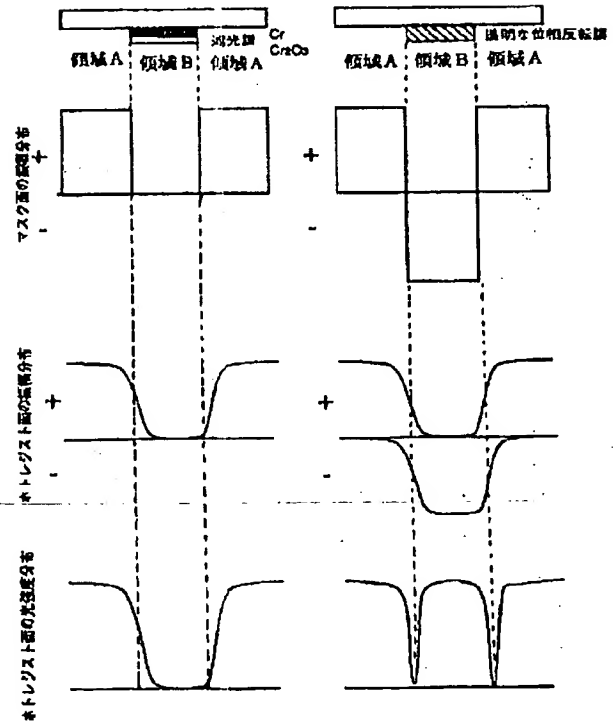
【図4】



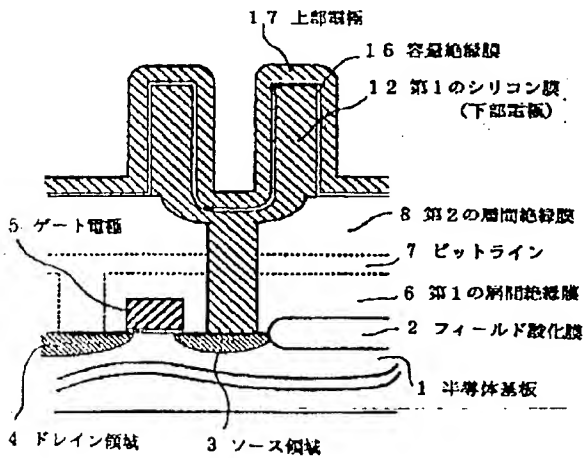
【図6】

通常マスク

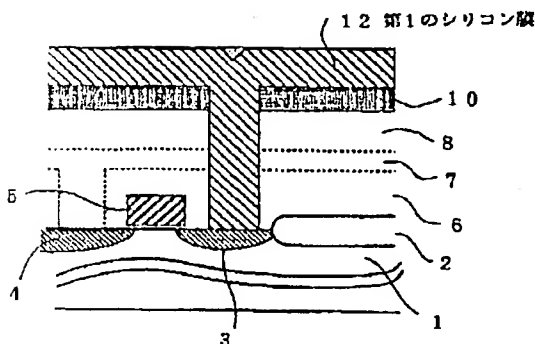
位相シフトマスク



【図5】

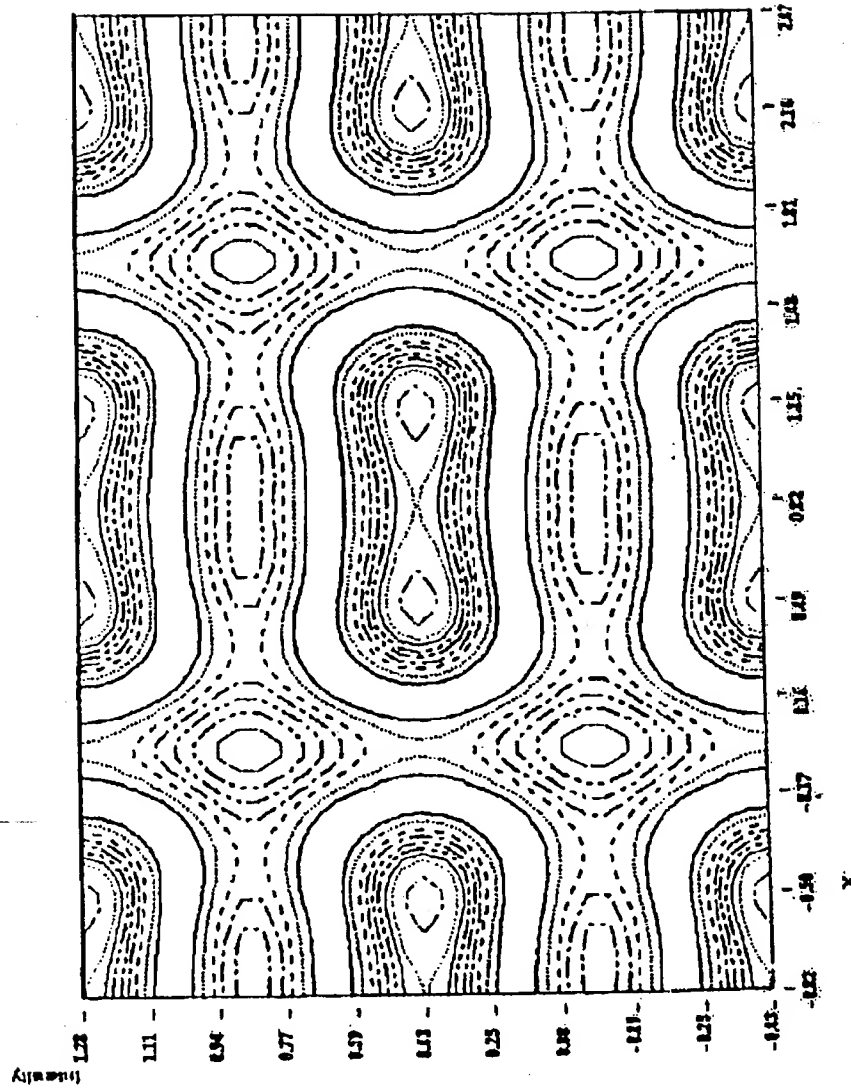


【図11】



【図7】

$\lambda = 365 \text{ nm}$
 $NA = 0.63$
 $\sigma = 0.3$

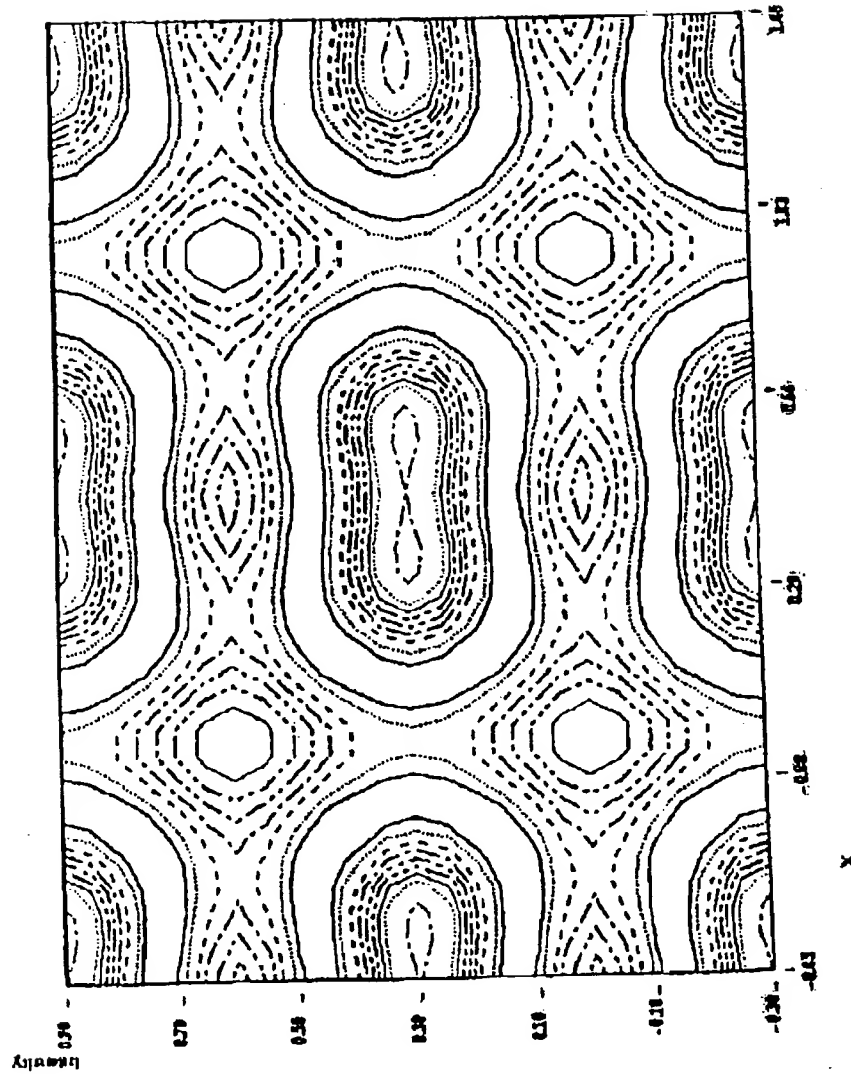


(8)

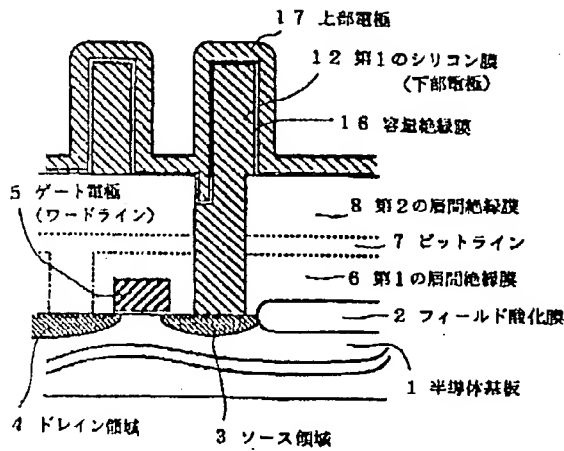
特開平8-330539

【図8】

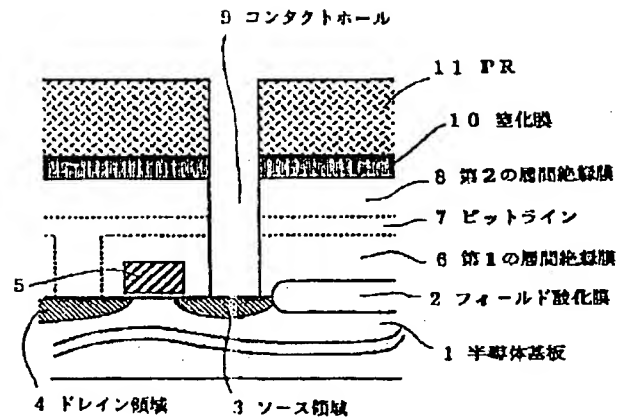
$\lambda = 248 \text{ nm}$
 $NA = 0.6$
 $\sigma = 0.3$



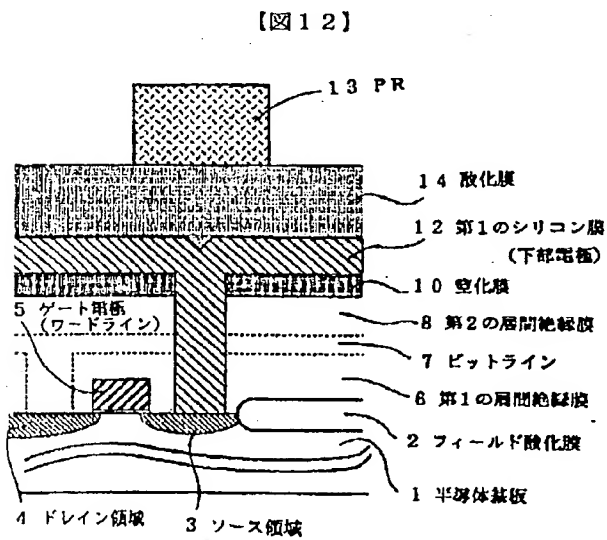
【図9】



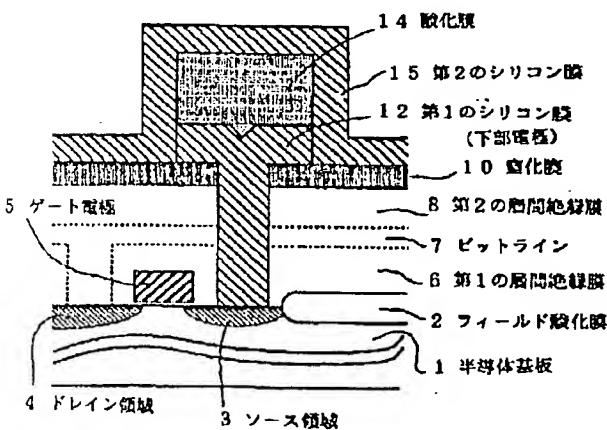
【図10】



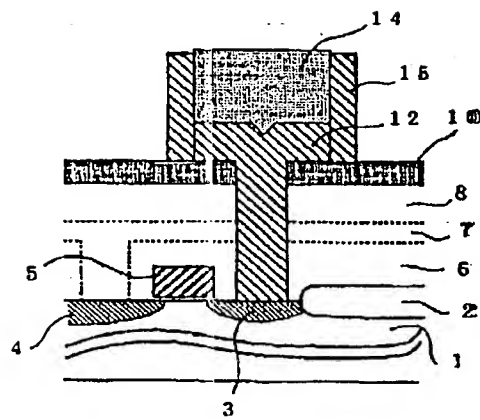
【図13】



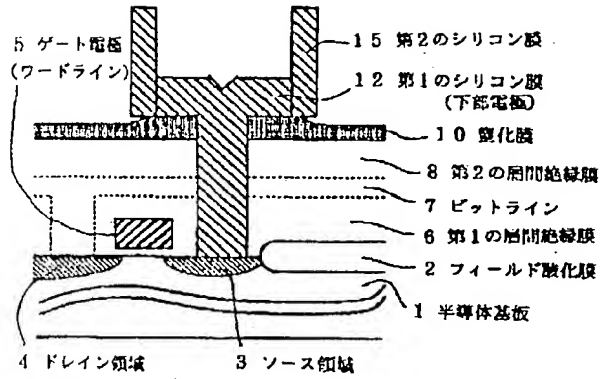
【図14】



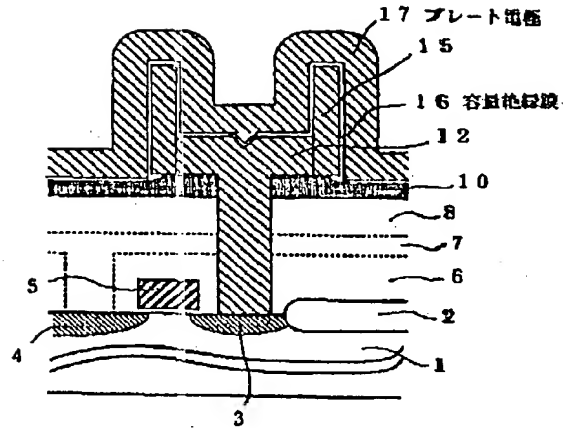
【図15】



【図 16】



【図 17】



フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 横田 和樹

東京都港区芝五丁目7番1号 日本電気株
式会社内